

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: July 30, 2003

Application Number: No. 2003-282847
[ST.10/C] : [JP 2003-282847]

Applicant(s) MITSUMI ELECTRIC CO., LTD.

January 7, 2004

Commissioner,
Japan Patent Office

Yasuo Imai (Seal)

Certificate No.2003-3109235

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月30日
Date of Application:

出願番号 特願2003-282847
Application Number:
[ST. 10/C]: [JP 2003-282847]

出願人 ミツミ電機株式会社
Applicant(s):

2004年 1月 7日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3109235

【書類名】 特許願
【整理番号】 07X12551-0
【提出日】 平成15年 7月30日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H03F 1/26
【発明者】
 【住所又は居所】 神奈川県厚木市酒井 1 6 0 1 ミツミ電機株式会社厚木事業所内
 【氏名】 稲垣 靖彦
【特許出願人】
 【識別番号】 000006220
 【氏名又は名称】 ミツミ電機株式会社
【代理人】
 【識別番号】 100070150
 【弁理士】
 【氏名又は名称】 伊東 忠彦
【手数料の表示】
 【予納台帳番号】 002989
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

入力信号の出力を制御する信号出力回路であって、
内部回路の動作を制御する制御信号をデジタル処理により遅延させるデジタル遅延回路と、

前記デジタル遅延回路の遅延出力に応じて前記入力信号をミュートさせるスイッチとを有することを特徴とする信号出力回路。

【請求項 2】

前記制御信号は、前記内部回路をシャットダウンさせるシャットダウン信号であることを特徴とする請求項 1 記載の信号出力回路。

【請求項 3】

前記デジタル遅延回路は、前記制御信号に応じて前記内部回路が立ち上がった後に、前記入力信号のミュートが解除されるように遅延時間が設定されたことを特徴とする請求項 2 記載の信号出力回路。

【請求項 4】

前記デジタル遅延回路は、ロジックタイマから構成されたことを特徴とする請求項 1 乃至 3 のいずれか一項記載の信号出力回路。

【書類名】 明細書**【発明の名称】 信号出力回路****【技術分野】****【0001】**

本発明は信号出力回路に係り、特に、内部回路の動作をシャットダウンさせるシャットダウン機能及び信号をミュートさせるミュート機能を有する信号出力回路に関する。

【背景技術】**【0002】**

従来のよりオーディオ信号を増幅して、ヘッドフォンやスピーカなどに出力するオーディオアンプ回路が知られている。

【0003】

このようなオーディオアンプ回路には、電源の投入時や切断時のノイズをカットするためにシャットダウン機能及びミュート機能が内蔵されている。

【0004】

図4はオーディオアンプ回路のブロック構成図を示す。

【0005】

オーディオアンプ回路101の入力端子T_{in}には、信号源102から直流カット用のコンデンサC41を介して入力信号が供給される。入力端子T_{in}に供給された入力信号は、増幅回路111に供給される。増幅回路111は、差動増幅回路121、入力抵抗R31、帰還抵抗R32、スイッチ122から構成され、基準電圧生成回路112から基準電圧が印加されており、反転増幅回路を構成している。

【0006】

増幅回路111は、基準電圧生成回路112からの基準電圧と入力端子T_{in}に供給された入力信号との差に応じた信号を出力する。増幅回路111で増幅された信号は、出力端子T_{out}から出力され、スピーカ103を駆動する。

【0007】

スイッチ122は、入力抵抗R31と帰還抵抗R32との接続点と差動増幅回路121の反転入力端子との間に設けられており、制御端子T_{cnt1}にコントローラ104から供給されるミュート信号に応じてスイッチングされる。スイッチ122は、ミュート信号がハイレベルのときには、入力抵抗R31と帰還抵抗R32との接続点と差動増幅回路121の反転入力端子とを短絡状態として、入力信号が反転増幅されて、出力端子T_{out}から出力されるようにする。

【0008】

また、スイッチ122は、ミュート信号がローレベルのときには、差動増幅回路121の出力とその反転入力端子とを短絡状態として、入力信号が出力端子T_{out}から出力されないようにミュート状態とする。このように、コントローラ104から制御端子T_{cnt1}に供給されるミュート信号に応じてスイッチ122がスイッチングされ、入力信号の差動増幅回路121への供給が制御され、ミュート機能が制御される。

【0009】

また、基準電圧生成回路112は、スイッチ131、抵抗R41、R42、コンデンサC51から構成される。基準電圧生成回路112には、定電圧V_{dd}が印加されている。定電圧V_{dd}は、スイッチ131を介して抵抗R41、R42から構成される直列回路に印加される。スイッチ131は、コントローラ104から制御端子T_{cnt2}に供給されるシャットダウン信号がハイレベルのときにはオンし、定電圧V_{dd}を抵抗R41、R42から構成される直列回路に印加し、シャットダウン信号がローレベルのときにはオフし、抵抗R41、R42から構成される直列回路への定電圧V_{dd}の印加を停止させる。

【0010】

抵抗R41、R42は、スイッチ131がオンのときに定電圧V_{dd}を分圧して、基準電圧を生成し、差動増幅回路121の非反転入力端子に供給する。これにより、増幅回路111が動作状態となる。このとき、抵抗R41と抵抗R42との接続点には、端子T_cが接続され

ており、また、この端子Tcには、コンデンサC51が外付けされている。端子Tcに接続されたコンデンサC51は、基準電圧のリプルを吸収し、基準電圧を安定化させる。

【0011】

次にオーディオアンプ回路101の動作を説明する。

【0012】

図5はオーディオアンプ回路101の動作説明図を示す。図5(A)はコントローラ104から出力されるシャットダウン信号、図5(B)はスイッチ131のスイッチング状態、図5(C)は差動増幅回路121に供給される基準電圧、図5(D)はコントローラ104から出力されるミュート信号、図5(E)はスイッチ122のスイッチング状態を示す。

【0013】

図5(A)に示すように時刻t10でシャットダウン信号がローレベルからハイレベルになると、図5(B)に示すようにスイッチ131がオフ状態からオン状態になる。スイッチ131がオンすることにより、抵抗R41、R42により基準電圧が生成される。このとき、図5(C)に示すように外付けコンデンサC51により基準電圧は徐々に立ち上がり、時刻t11で所定のレベルになる。時刻t11で基準電圧が所定レベルに達すると、差動増幅回路121のシャットダウン状態が解除され、動作状態となる。

【0014】

コントローラ104は、シャットダウン信号をハイレベルにする時刻t10から所定の時間をカウントしており、予め設定された所定時間経過した時刻t12で図5(D)に示すようにミュート信号を出力する。図5(E)に示すようにミュート信号により増幅回路111のスイッチ122がオンし、入力信号のミュート状態が解除され、入力信号が増幅回路111で増幅され、スピーカ103に供給される。

【0015】

このように、従来はコントローラ104からのシャットダウン信号に基づいて、基準電圧生成回路112での基準電圧の生成が制御され、増幅回路111の動作が制御され、シャットダウン機能が制御され、また、コントローラ104からのミュート信号に基づいて、増幅回路111のミュート機能が制御されている。

【0016】

従来のオーディオアンプ回路では、シャットダウン信号とミュート信号とを別々に集積回路に入力する必要があるため、集積回路の外部ピン数が増加し、小型化が困難となる。

【0017】

このため、外部ピン数を減らすため、シャットダウン信号のレベルに応じてシャットダウン機能及びミュート機能の両方を制御するオーディオアンプ回路が提案されている(特許文献1参照)。

【0018】

【特許文献1】USP5,642,074号(図2)

【発明の開示】

【発明が解決しようとする課題】

【0019】

しかるに、従来のオーディオアンプ回路は、シャットダウン機能を制御するためのシャットダウン信号及びミュート機能を制御するためのミュート信号が外部のコントローラから別々に供給され、シャットダウン機能及びミュート機能が制御されていた。よって、外部コントローラでシャットダウン信号及びミュート信号を生成する必要があり、また、生成時にこれらのタイミングを制御する必要があった。このため、コントローラの処理に負担がかかるなどの課題があった。

【0020】

また、シャットダウン信号のレベルに応じてシャットダウン機能とミュート機能との両方の機能の動作を制御すると、シャットダウン機能の制御のタイミングと、ミュート機能の制御のタイミングとを正確に規定できず、場合によってはアンプ立ち上がり時にノイズ

が出力されるなどの課題があった。

【0021】

本発明は上記の点に鑑みてなされたもので、一つの外部制御信号で、シャットダウン機能及びミュート機能を解除するタイミングを、異なるタイミングで正確に制御できる信号出力回路を提供することを目的とする。

【課題を解決するための手段】

【0022】

本発明は、入力信号の出力を制御する信号出力回路（1）であって、内部回路の動作を制御する制御信号をデジタル処理により遅延させるデジタル遅延回路（42）と、

前記デジタル遅延回路の遅延出力に応じて前記入力信号をミュートさせるスイッチ（22、32）とを有することを特徴とする。

【0023】

また、前記制御信号は、前記内部回路（21、31）をシャットダウンさせるシャットダウン信号であることを特徴とする。

【0024】

さらに、前記デジタル遅延回路（42）は、前記制御信号に応じて前記内部回路（21、31）が立ち上がった後に、前記入力信号のミュートが解除されるように遅延時間が設定されたことを特徴とする。

【0025】

また、前記デジタル遅延回路（42）は、ロジックタイマから構成されたことを特徴とする。

【発明の効果】

【0026】

本発明によれば、内部回路（21、31）の動作を制御する、シャットダウン信号などの制御信号をデジタル処理により遅延させ、ミュートを行うことにより、別途、ミュート信号を供給する必要がないので、外部端子数を低減できる。よって、集積回路化したときに、チップを小型化できる。

【0027】

また、本発明によれば、制御信号により内部回路（21、31）が立ち上がった後に、入力信号のミュートが解除されるように遅延時間を設定することにより、内部回路（21、31）が確実に立ち上がった後にミュートを解除でき、また、デジタル遅延回路（43）によりデジタル処理により遅延時間を設定することにより遅延時間を正確に設定できるため、電源の立ち上がり時などにノイズが出力されることを防止できる。

【発明を実施するための最良の形態】

【0028】

図1は本発明の一実施例のブロック構成図を示す。

【0029】

本実施例のオーディオアンプ回路1は、1チップの半導体集積回路から構成され、増幅回路11、12、機能制御回路13が搭載された構成とされ、外部端子として、入力端子Tin、出力端子Tout-、Tout+、シャットダウン制御端子Tsd、端子Tcを有する構成とされている。入力端子Tinには、信号源2からコンデンサC1を介して入力信号が供給され、シャットダウン制御端子Tsdには、コントローラ4からシャットダウン信号が供給される。また、出力端子Tout-とTout+との間には、スピーカ3が接続される。さらに、端子Tcには、コンデンサC2が接続される。

【0030】

入力端子Tinに供給された信号は、増幅回路11に供給される。増幅回路11は、抵抗R1、R2、差動増幅回路21、スイッチ回路22から構成され、反転増幅回路を構成しており、入力端子Tinに供給された入力信号を反転増幅して出力する。

【0031】

スイッチ回路 22 は、ミュート機能を実現するための回路であり、入力抵抗 R_1 と帰還抵抗 R_2 との接続点と差動増幅回路 21 に反転入力端子との間に接続されており、機能制御回路 13 から供給されるミュート信号がローレベルのときにオンし、ハイレベルのときにオフする。スイッチ回路 22 は、オンすると、入力抵抗 R_1 と帰還抵抗 R_2 との接続点と差動増幅回路 21 の反転入力端子とを短絡し、入力信号が差動増幅回路 21 の反転入力端子に供給されるようにする。これにより、増幅回路 11 は、ミュートが解除され、入力信号が反転増幅される状態となる。

【0032】

スイッチ回路 22 は、オフすると、入力抵抗 R_1 と帰還抵抗 R_2 との接続点と差動増幅回路 21 の反転入力端子とを開放あるいは、破線で示すように、差動増幅回路 21 の出力端子と非反転入力端子とを短絡した状態とする。これにより、増幅回路 11 は入力信号をミュートした状態となる。

【0033】

増幅回路 11 の出力信号は、反転出力端子 T_{out-} から出力されるとともに、増幅回路 12 に供給される。

【0034】

増幅回路 12 は、抵抗 R_{11} 、 R_{12} 、差動増幅回路 31、スイッチ回路 32 から構成され、反転増幅回路を構成しており、増幅回路 11 から供給された信号を反転増幅して、非反転出力端子 T_{out+} から出力する。

【0035】

スイッチ回路 32 は、ミュート機能を実現するための回路であり、入力抵抗 R_{11} と帰還抵抗 R_{12} との接続点と差動増幅回路 31 に反転入力端子との間に接続されており、機能制御回路 13 から供給されるミュート信号がローレベルのときにオンし、ハイレベルのときにオフする。スイッチ回路 32 は、オンすると、入力抵抗 R_{11} と帰還抵抗 R_{12} との接続点と差動増幅回路 31 の反転入力端子とを短絡し、入力信号が差動増幅回路 31 の反転入力端子に供給されるようにする。これにより、増幅回路 12 は、ミュートが解除され、入力信号が反転増幅される状態となる。

【0036】

スイッチ回路 32 は、オフすると、入力抵抗 R_1 と帰還抵抗 R_2 との接続点と差動増幅回路 21 の反転入力端子とを開放あるいは、破線で示すように、差動増幅回路 21 の出力端子と非反転入力端子とを短絡した状態とする。これにより、増幅回路 12 は入力信号をミュートした状態となる。

【0037】

増幅回路 12 の出力信号は、非反転出力端子 T_{out+} から出力される。

【0038】

シャットダウン制御端子 T_{sd} には、コントローラ 4 からシャットダウン信号が供給されている。コントローラ 4 は、例えば、電源投入時にシャットダウン信号をローレベルからハイレベルに反転させる。コントローラ 4 から出力されたシャットダウン信号は、機能制御回路 13 に供給される。

【0039】

機能制御回路 13 は、基準電圧生成回路 41 及び遅延回路 42 から構成される。基準電圧生成回路 41 は、シャットダウン機能を実現するための回路であり、スイッチ 51、抵抗 $R_{21} \sim R_{24}$ 、バイパス回路 52 から構成されている。また、基準電圧生成回路 41 には、端子 T_c にコンデンサ C_2 が外付けされる。

【0040】

スイッチ 51 は、シャットダウン信号がハイレベルのときにオンし、ローレベルのときにオフする。スイッチ 51 がオンすると、定電圧 V_{dd} が抵抗 R_{21} 、 R_{22} からなる直列回路に印加される。抵抗 R_{21} 、 R_{22} には、定電圧 V_{dd} を抵抗 R_{21} と抵抗 R_{22} とで分圧した電圧を抵抗 R_{21} と抵抗 R_{22} との接続点から出力する。

【0041】

抵抗 R21 と抵抗 R22 との接続点は、抵抗 R23、R24 からなる直列回路を介して増幅回路 11 の差動増幅回路 21 及び増幅回路 12 の差動増幅回路 31 の非反転入力端子に接続される。抵抗 R24 と、増幅回路 11 の差動増幅回路 21 及び増幅回路 12 の差動増幅回路 31 の非反転入力端子との接続点は、端子 Tc に接続されている。

【0042】

端子 Tc には、コンデンサ C2 が接続されている。コンデンサ C2 は増幅回路 11 の差動増幅回路 21 及び増幅回路 12 の差動増幅回路 31 の非反転入力端子に印加される電圧の変動を吸収する。

【0043】

スイッチ 51 がオンすると、抵抗 R23、R24 及びコンデンサ C2 により決定される時定数だけ遅延して、差動増幅回路 21 の非反転入力端子及び差動増幅回路 31 の非反転入力端子の印加電圧が立ち上がる。よって、増幅回路 11、12 の起動が遅延する。このため、増幅回路 11、12 の起動を速くするために、スイッチ 51 がオンするときに、抵抗 R24 をバイパスするバイパス回路 52 を設けている。

【0044】

バイパス回路 52 は、CMOS (complementary metal oxide semiconductor) 構造とされた MOS 電界効果トランジスタ Q1 及び Q2 並びにインバータ 61 により抵抗 R24 をバイパスする伝達経路を構成するトランスファゲートを構成している。MOS 電界効果トランジスタ Q1 及び Q2 は、ゲートに遅延回路 42 の出力が印加されており、遅延回路 42 の出力がローレベルのとき共にオンし、遅延回路 42 の出力が所定時間遅延してハイレベルになったとき、オフする。

【0045】

このため、バイパス回路 52 は、シャットダウン信号が供給され、スイッチ 51 がオンすると、抵抗 R24 をバイパスする。抵抗 R24 がバイパス回路 52 によりバイパスされることにより、抵抗が小さくなるので、端子 Tc に接続されたコンデンサ C2 の充電電流が大きくなり、コンデンサ C2 が高速で充電される。よって、差動増幅回路 21 の非反転入力端子及び差動増幅回路 31 の非反転入力端子への印加電圧の立ち上がりが速くなり、増幅回路 11、12 を早く動作させることができる。

【0046】

なお、遅延回路 42 は、ミュート機能を制御するための回路であり、シャットダウン信号を所定に遅延時間だけ遅延させ、ミュート信号として出力する。所定の遅延時間は、シャットダウン信号に応じて増幅回路 11、12 が起動してから増幅回路 11、12 が確実に動作するまでに要する時間に設定されている。

【0047】

図 2 は遅延回路 42 のブロック構成図を示す。

【0048】

遅延回路 43 は、発振回路 71、インバータ 72、フリップフロップ 73-1 ~ 73-n から構成されたロジックタイマから構成されている。

【0049】

発振回路 71 は、シャットダウン制御端子 Tsd に供給されるシャットダウン信号がローレベルからハイレベルになると、起動して発振を開始し、発振出力をインバータ 72 及びフリップフロップ 73-1 に供給する。インバータ 72 は、発振回路 71 の発振出力を反転出力する。

【0050】

フリップフロップ 73-1 ~ 73-n は、D フリップフロップから構成されており、リセット端子 R には、シャットダウン信号が供給され、シャットダウン信号により出力 Q がローレベルにリセットされる。フリップフロップ 73-1 は、クロック端子 C に発振回路 71 の発振出力が供給され、反転クロック端子 NC にインバータ 72 により反転された反転発振出力が供給され、データ端子 D には、反転出力端子 NQ が接続されている。また、反転出力端子 NC は次段のフリップフロップ 73-2 のクロック端子 C に接続され、非反

転出力端子Qは反転クロック端子NCに接続されている。

【0051】

上記のようなフリップフロップ73-1とフリップフロップ73-2との接続を、n個のフリップフロップ73-1～73-nに対して行う。これにより、いわゆる、アップカウンタを構成している。最終段のフリップフロップ73-nの非反転出力端子Qから出力は、シャットダウン信号を発振回路71の発振出力をnの2剰回カウントアップした後に、ハイレベルに立ち上がる。これによって、シャットダウン信号を遅延した出力が得られる。

【0052】

このように、遅延回路42は、ロジックタイマを構成しており、デジタル処理により遅延を行うため、コンデンサなどを用いて遅延時間を設定する場合に比べて、正確に遅延時間を設定できる。

【0053】

なお、本実施例では、遅延回路43をロジックタイマで構成したが、これに限定されるものではなく、デジタル処理により遅延時間を設定できる構成であればよい。

【0054】

次に本実施例の動作を説明する。

【0055】

図3は本発明の一実施例の動作説明図を示す。図3(A)はコントローラ4から端子Tsdに供給されるシャットダウン信号、図3(B)はスイッチ51のスイッチング状態、図3(C)は差動増幅回路21、31の非反転入力端子に印加される基準電圧、図3(D)は遅延回路42の出力、図3(E)はスイッチ22、32のスイッチング状態を示す。

【0056】

図3(A)に示すように時刻t0でシャットダウン信号がローレベルからハイレベルになると、図3(B)に示すようにスイッチ51がオンする。このとき、バイパス回路52がオン状態であるため、外付けコンデンサC2が急速に充電され、時刻t1で差動増幅回路21、31の非反転入力端子に所定の基準電圧が印加される。

【0057】

その後、時刻t0から所定の遅延時間 ΔT 経過した時刻t2($> t1$)で、遅延回路42の出力がハイレベルに立ち上がり、スイッチ22、32がオンする。スイッチ22、32がオンすることにより、ミュートが解除され、入力信号が増幅回路11、12で増幅され、スピーカ3に供給される。

【0058】

本実施例によれば、端子Tsdからシャットダウン信号を供給するだけで、シャットダウン状態の解除後、ミュート状態を解除できるため、外部端子数を低減できる。また、コントローラ4はシャットダウン信号だけを生成すればよいので、コントローラ4の処理負担を低減できる。

【0059】

また、シャットダウン信号を遅延させることによりミュート状態を制御するミュート信号を生成することにより、シャットダウン状態の解除が終了した後にミュート状態の解除することができる。このため、差動増幅回路21、31の起動前は入力信号をミュート状態にすることができ、差動増幅回路21、31の起動時の出力の大幅な変動を防止でき、スムーズな起動が可能となる。

【図面の簡単な説明】

【0060】

【図1】 本発明の一実施例のブロック構成図である。

【図2】 遅延回路42のブロック構成図である。

【図3】 本発明の一実施例の動作説明図である。

【図4】 オーディオアンプ回路のブロック構成図である。

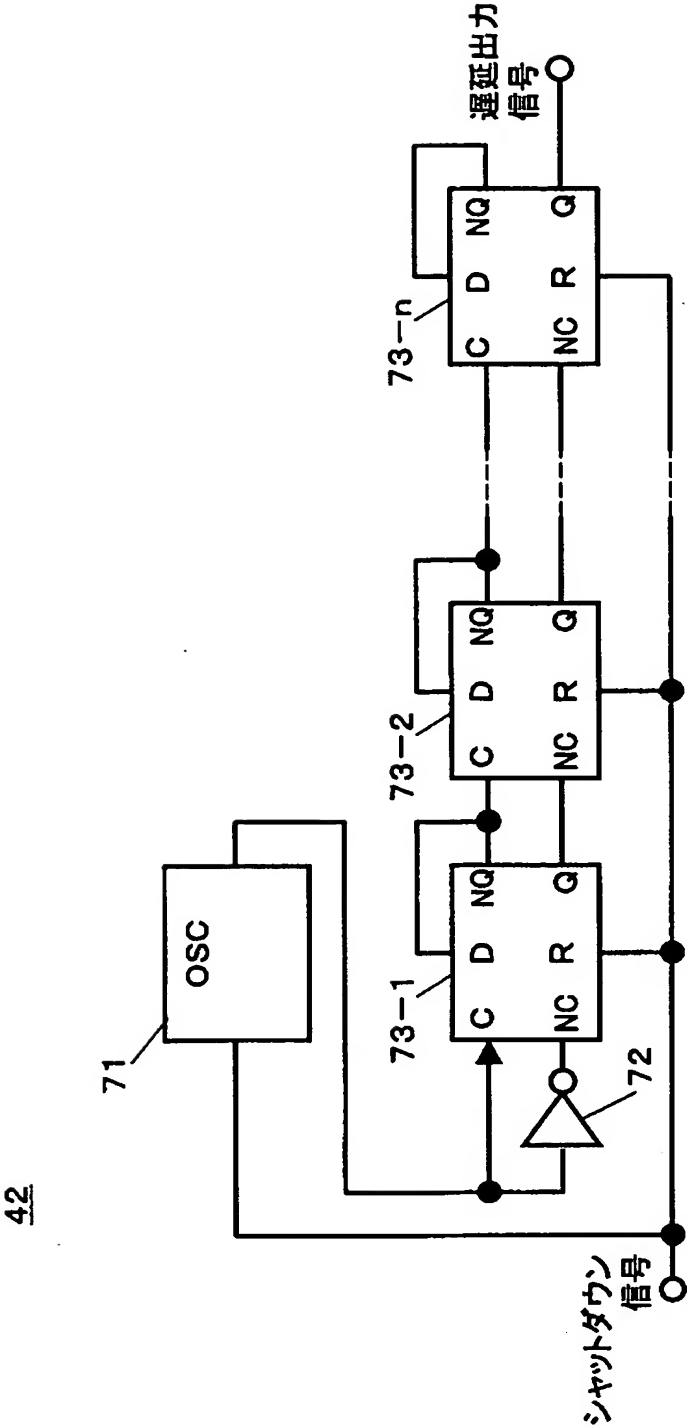
【図5】 オーディオアンプ回路の動作説明図である。

【符号の説明】

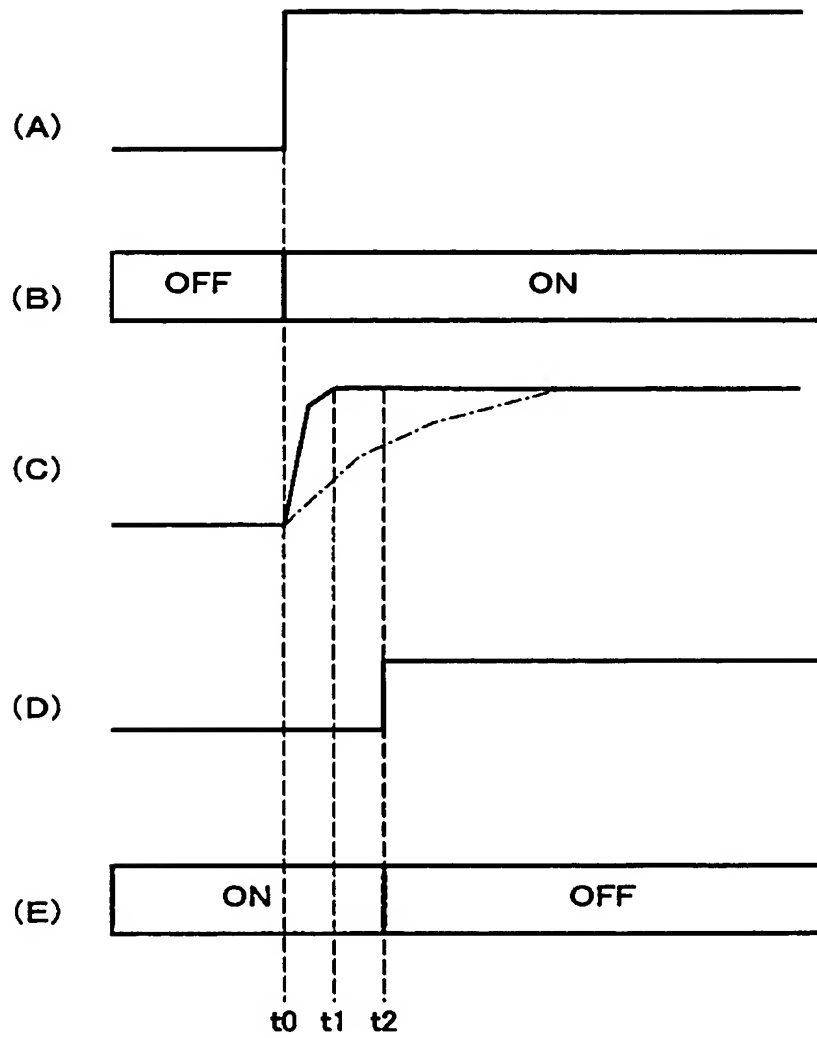
【0061】

- 1 オーディオアンプ回路、2 信号源、3 スピーカ、4 コントローラ
- 11、12 増幅回路、13 機能制御回路
- 21、31 差動増幅回路、22、32 スイッチ
- 41 機能制御回路、42 遅延回路
- 51 スイッチ、52 バイパス回路
- 61 インバータ
- 71 発振回路、72 インバータ、73-1～73-n フリップフロップ

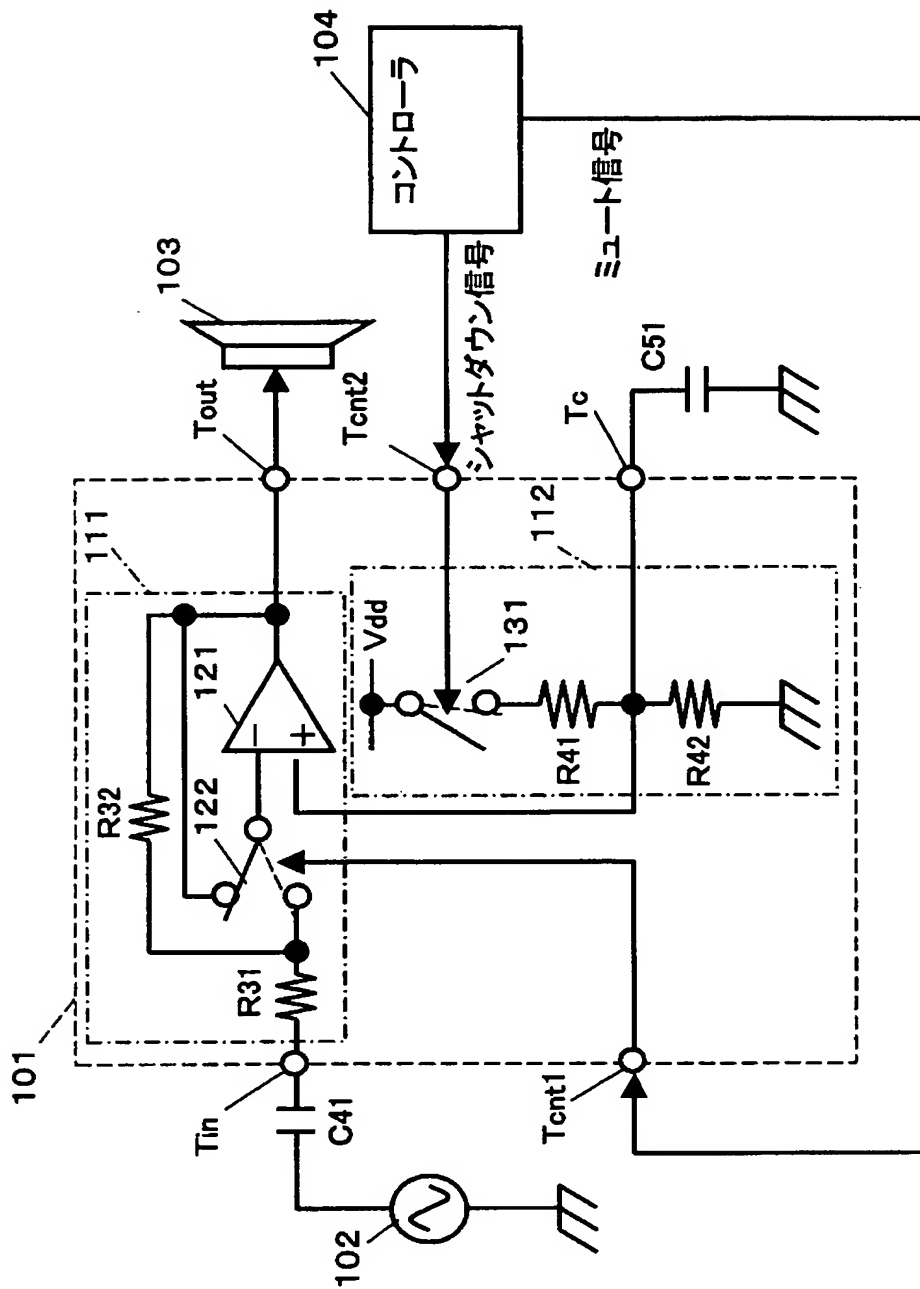
【図 2】



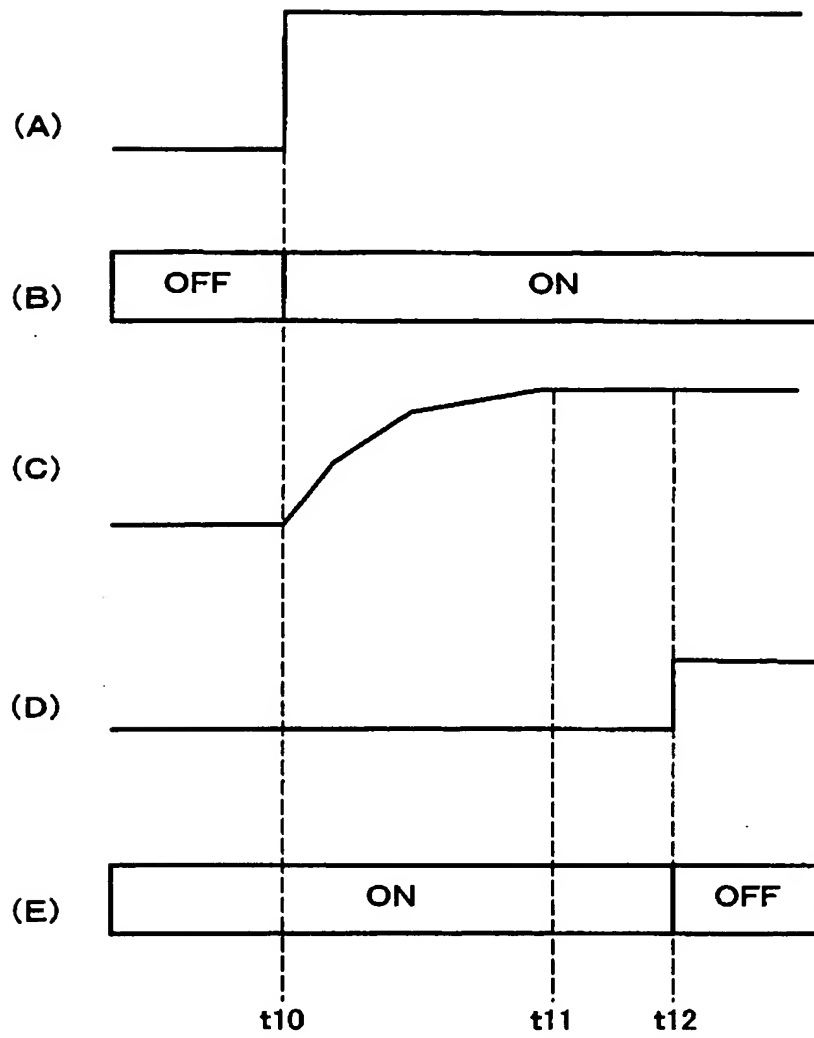
【図 3】



【図 4】



【図 5】



【書類名】 要約書**【要約】**

【課題】 内部回路の動作をシャットダウンさせるシャットダウン機能及び信号をミュートさせるミュート機能を有する信号出力回路に関し、一つの外部制御信号でシャットダウン機能及びミュート機能を制御できる信号出力回路を提供することを目的とする。

【解決手段】 本発明は、入力信号の出力を制御する信号出力回路（１）であって、内部回路の動作を制御する制御信号をデジタル処理により遅延させるデジタル遅延回路（４２）と、前記デジタル遅延回路の遅延出力に応じて前記入力信号をミュートさせるスイッチ（２２、３２）とを有することを特徴とする。

【選択図】 図 1



特願 2 0 0 3 - 2 8 2 8 4 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 2 2 0]

1. 変更年月日

2 0 0 3 年 1 月 7 日

[変更理由]

住所変更

住 所

東京都多摩市鶴牧 2 丁目 1 1 番地 2

氏 名

ミツミ電機株式会社